

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-325506

(43)Date of publication of application : 25.11.1994

(51)Int.Cl. G11B 20/18
G11B 20/12
G11B 20/14
G11B 20/18
H03H 17/00

(21)Application number : 05-111348

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.05.1993

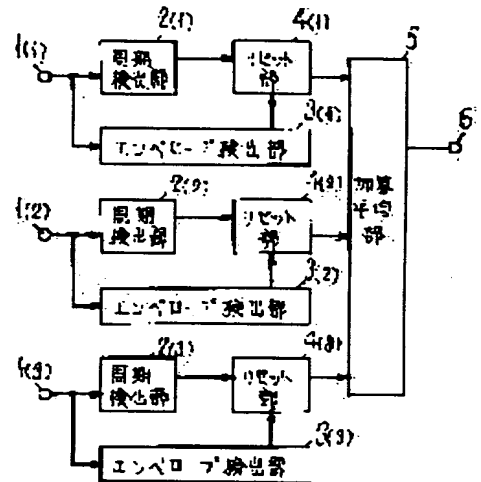
(72)Inventor : HORI MASATOMO

(54) PERIOD DETECTION CIRCUIT

(57)Abstract:

PURPOSE: To obtain a period detection circuit for detecting track average period constantly and accurately by protecting track defect due to the blocking, etc., of a head when detecting the period of a multi-track recording/reproducing device.

CONSTITUTION: When the reproduction signal of each track is given to input terminals 1(1)-1(3), period detection parts 2(1)-2(3) count the edge spacing of input signals and then outputs the period of the track. An arithmetic mean part 5 adds the output of the period detection parts 2(1)-2(3) and then output the track averaging period. For example, when the reproduction signal to the input terminal 1(3) is lost, an envelope detection part 3(3) detects that no reproduction signal is present, and then reports it to a reset part 4(3). The reset part 4(3) receives it and then replaces the output of the period detection part 2(3) with 0. The arithmetic mean part 5 calculates the track averaging period with the output of the period detection parts 2(1) and 2(2) and then outputs it so that the period of track whose outputs is lost, is not reflected by the track averaging period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-325506

(43)公開日 平成 6 年(1994)11月25日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/18	5 5 0 E	9074-5D		
20/12	1 0 1	9295-5D		
20/14	3 5 1 A	7736-5D		
20/18	5 2 0 A	9074-5D		
H 0 3 H 17/00	Z	7037-5J		

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21)出願番号 特願平5-111348

(22)出願日 平成 5 年(1993) 5 月13日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 堀 雅智

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

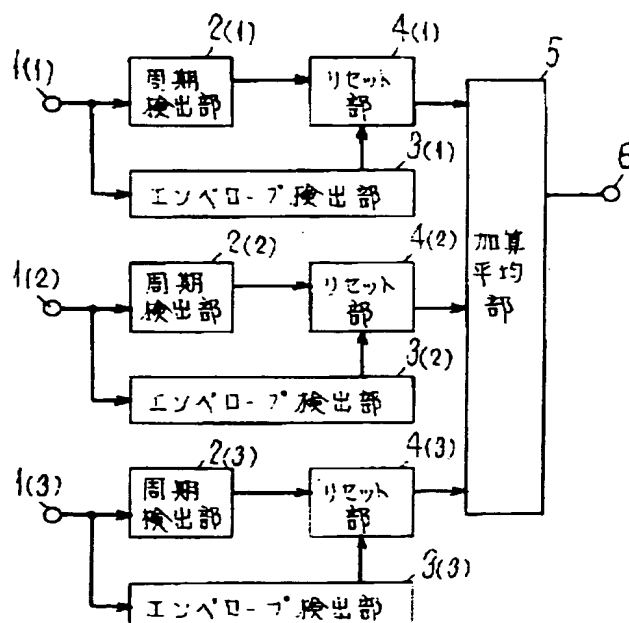
(74)代理人 弁理士 小銀治 明 (外 2 名)

(54)【発明の名称】 周期検出回路

(57)【要約】

【目的】 マルチトラック記録再生装置の周期検出における、ヘッドの目詰まり等によるトラック欠陥の保護を行い、常に正確なトラック平均周期を検出する周期検出回路を提供する。

【構成】 入力端子 1 (1)～1 (3)に各トラックの再生信号が与えられると、周期検出部 2 (1)～2 (3)は入力信号のエッジ間隔を計時して、そのトラックの周期を出力する。加算平均部 5 は周期検出部 2 (1)～2 (3)の出力を加算しトラック平均周期を出力する。例えば入力端子 1 (3)の再生信号が欠落した場合、エンベロープ検出部 3 (3)は再生信号がないことを検出、リセット部 4 (3)に伝える。リセット部 4 (3)はこれを受けて周期検出部 2 (3)の出力を 0 に置き換える。加算平均部 5 は周期検出部 2 (1)、2 (2)の出力でトラック平均周期を計算し出力するので、出力の欠落したトラックの周期はトラック平均周期に反映されない。



【特許請求の範囲】

【請求項1】 n個の入力信号の周期を検出するn個の周期検出部と、

上記n個の入力信号の異常を検出するn個の異常検出手段と、

上記異常検出手段の出力に基づき上記周期検出部の出力を所定値に置き換えるn個のリセット部と、

上記リセット部の出力を加算平均する加算平均部とを備えた周期検出回路。

【請求項2】 異常検出手段は、入力信号の有無を検出するエンベロープ検出部で構成された請求項1記載の周期検出回路。

【請求項3】 異常検出手段は、所定の周期を記憶する記憶部と、周期検出部の出力と上記記憶部の出力とを比較する比較部とで構成され、

リセット部は、上記比較部の比較結果に基づき周期検出部の出力を所定値に置き換える請求項1記載の周期検出回路。

【請求項4】 異常検出手段は、入力信号のエラーを検出するエラー検出手段で構成され、

リセット部は、上記エラー検出手段の出力に基づき周期検出部の出力を所定値に置き換える請求項1記載の周期検出回路。

【請求項5】 記憶部に記憶される所定値を加算平均部の出力とした請求項3記載の周期検出回路。

【請求項6】 加算平均部の出力を時間軸平均するフィルタを備え、記憶部に記憶される所定値を上記フィルタの出力とした請求項3記載の周期検出回路。

【請求項7】 n個の入力信号は所定のメディアよりn個のヘッドを用いて再生されるものであって、上記メディアと上記ヘッドの相対速度を略々検出する速度検出手段を備え、記憶部に記憶される所定値を速度検出手段の出力とした請求項3記載の周期検出回路。

【請求項8】 エラー検出手段は入力信号の復調回路であって、入力信号の変調規則違反を検出する請求項4記載の周期検出回路。

【請求項9】 エラー検出手段は入力信号の誤り訂正回路であって、入力信号のパリティチェックの結果を出力する請求項4記載の周期検出回路。

【請求項10】 リセット部に代えて、周期検出部の出力を過去の出力のうち最も新しいものに固定するn個のホールド部を備えた請求項1～9のいずれか一つに記載の周期検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固定ヘッド方式による再生ないしは記録再生を行うデジタルオーディオテープレコーダ、特に近年発表されたデジタルコンパクトカセットレコーダ（以下DCCという）に適用する、データ検出装置の周期検出回路に係わる。

【0002】

【従来の技術】DCCについての公知技術は特開平2-232802号公報及び解説記事として日経エレクトロニクス誌No. 535 1991. 9. 2号127頁～141頁に掲載されているので、ここでは本発明に係る再生系について説明する。DCCの再生系を示す概要のブロック図を図6に示す。

【0003】図6において、ヘッド51は磁気テープに記録された信号を再生する。増幅等化器52は再生信号の符号間干渉を補正しデータ検出装置53に出力する。データ検出装置53は増幅等化器52の出力よりクロックを抽出し、そのクロックで再生信号を打ち抜いて復調回路54へ出力する。復調回路54では記録変調の復調処理を行い誤り訂正回路55へ出力する。誤り訂正回路55では誤り訂正符号を用いて誤り訂正を行う。誤り訂正回路の出力56は、その後図示していない圧縮伸長プロセッサ、D/Aコンバータを経由し再生オーディオ信号として出力される。

【0004】このうち、データ検出装置は、デジタル磁気記録において再生された自己同期信号よりクロックを抽出してデータの“1”、“0”を正確に判断するもので、フェーズロックドループ（以下PLLという）で構成するのが一般的である。

【0005】しかしながら、DCCはテープとヘッドの相対速度が遅いため、ミクロンオーダのメカニズムの振動が±数十%の非常に大きな伝送レートの変動となる。例えば車載用途を考えた場合、振動による伝送レートの変動は±30%を越える。

【0006】一方、PLLは数%のキャプチャレンジが限界であるため、メカニズムに振動を与えた場合、データ検出が不可能となり、音切れ等の重大な欠陥を招いていた。

【0007】そこで、各トラック再生信号よりトラック平均周期を検出する周期検出回路が提案された。図7は従来の周期検出回路の一例を示すブロック図である。簡単のためトラックが3つの場合を示す。図7において、1は各トラックの入力端子、2は周期検出部、5は加算平均部、6はトラック平均周期の出力端子である。

【0008】以上のように構成された従来の周期検出回路について、以下その動作について説明する。入力端子1(1)～1(3)へは図6の増幅等化器52(1)～52(3)の各出力、すなわち各トラックの再生信号が与えられると、周期検出部2(1)～2(3)は入力信号のエッジと次のエッジとの間隔を計時して、そのトラックの周期を出力する。加算平均部5は周期検出部2(1)～2(3)の出力を加算しトラック平均周期を出力する。本周周期検出回路の出力により、図6のデータ検出装置53(1)～53(3)のVCOの自走発振周波数を制御することでより広いキャプチャレンジが得られる。

【0009】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、例えばヘッドの目詰まり等で数トラックの再生信号が欠落した場合、トラック平均周期が誤った値となり全てのトラックのデータ検出が不可能となる。結果的に欠陥のないトラックのデータ検出も不可能となり、再生音の品質を劣化させるという問題点を有していた。

【0010】本発明は上記従来の問題点を解決するもので、数トラックに欠陥があり、再生信号が欠落しても、欠陥のないトラックの再生に影響しない周期検出回路を提供することを目的とする。

【0011】

【課題を解決するための手段】この目的を達成するために本発明の周期検出回路は、 n 個の入力信号の周期を検出する n 個の周期検出部と、 n 個の入力信号の異常を検出する n 個の異常検出手段と、異常検出手段の出力に基づき、周期検出部の出力を所定値に置き換える n 個のリセット部と、リセット部の出力を加算平均する加算平均部とを備えている。

【0012】

【作用】本発明は上記した構成により、あるトラックに欠陥が生じ、再生信号が欠落すると、そのトラックの異常検出手段は再生信号の異常をリセット部に伝える。リセット部はこれを受けて周期検出部の出力を所定値、例えば0に置き換える。これにより欠陥トラックの周期は加算平均部へ伝わらないので、欠陥トラックによりトラック平均周期が誤ることなく、常に正確なトラック平均周期を得ることができる。

【0013】

【実施例】以下、本発明の一実施例について、図面を参照しながら説明する。

【0014】図1は本発明の第1の実施例における周期検出回路のブロック図を示すものである。簡単のためトラックが3つの場合を示している。図1において、1は各トラックの入力端子、2は周期検出部、3はエンベロープ検出部、4はリセット部、5は加算平均部、6はトラック平均周期の出力端子である。また、図2は本発明の第1の実施例における周期検出回路の動作を示すタイミングチャートである。

【0015】以上のように構成された本実施例の周期検出回路について、図1および図2を用いて以下その動作について説明する。入力端子1(1)~1(3)に各トラックの再生信号が与えられると、周期検出部2(1)~2(3)は入力信号のエッジと次のエッジとの間隔を計時して、そのトラックの周期を出力する。加算平均部5は周期検出部2(1)~2(3)の出力を加算しトラック平均周期を出力する。ここで、エンベロープ検出部3(1)~3(3)はピーク検出とサンプルホールド回路等で構成され、再生信号の有無を常に監視している。例えば入力端子1(3)に与えられる再生信号が図2の時刻 t_d 以降欠落した場合、

エンベロープ検出部3(3)は再生信号がないことを検出、リセット部4(3)に伝える。リセット部4(3)はこれを受けて周期検出部2(3)の出力を0に置き換える。加算平均部5は周期検出部2(1)、2(2)の出力の加算平均でトラック平均周期を計算し出力するので、出力の欠落したトラックの周期はトラック平均周期に反映されない。

【0016】以上のように本実施例によれば、ドロップアウトや目詰まり等の発生したトラックの周期はトラック平均周期に反映されないので、常に正確なトラック平均周期を得ることができる。

【0017】図3は本発明の第2の実施例を示す周期検出回路のブロック図である。同図において、1、2、4、5及び6は図1の構成と同様なものである。8は所定周期を記憶する記憶部、7は周期検出部2の出力と記憶部8の出力とを比較する比較部である。

【0018】以上のように構成された本実施例の周期検出回路について、以下その動作について説明する。入力端子1(1)~1(3)に各トラックの再生信号が与えられると、周期検出部2(1)~2(3)は入力信号のエッジと次のエッジとの間隔を計時して、そのトラックの周期を出力する。加算平均部5は周期検出部2(1)~2(3)の出力を加算しトラック平均周期を出力する。

【0019】また、比較部7(1)~7(3)はそれぞれ、周期検出部2(1)~2(3)の結果が記憶部8に記憶された周期に対しどれくらいの値かを常に監視している。例えば記憶された周期を T_d として、検出周期 T が $T_d - a < T < T_d + a$ (a は定数)であるかどうかを判断する。これは、周期を2値化データで表現することで上位ビットの比較により簡単に実現できる。

【0020】ここで、例えば入力端子1(3)の再生信号が欠落した場合、周期検出部2(3)はノイズを計時して誤った検出周期を出力する。比較部7(3)は周期検出部2(3)の検出周期と記憶部8に記憶された周期が大幅に異なることを検出し、リセット部4(3)に伝える。リセット部4(3)はこれを受けて周期検出部2(3)の出力を0に置き換える。よって、加算平均部5は周期検出部2(1)、2(2)の出力の加算平均でトラック平均周期を計算し出力するので、出力の欠落したトラックの周期はトラック平均周期に反映されない。

【0021】また、例えば入力端子1(3)の再生信号にバルクハウゼンノイズ等のスパイク状の大きなノイズが混入した場合、周期検出部2(3)はノイズを計時して誤った検出周期を出力する。比較部7(3)は周期検出部2(3)の検出周期と記憶部8に記憶された周期が大幅に異なることを検出し、リセット部4(3)に伝える。リセット部4(3)はこれを受けて周期検出部2(3)の出力を0に置き換える。

【0022】以上のように本実施例によれば、再生信号が欠落した場合だけでなく、ヘッドの動作点異常やバレ

クハウゼンノイズ等のスパイク状の大きなノイズが混入した場合でも、ノイズが混入したトラックの周期はトラック平均周期に反映されないで、常に正確なトラック平均周期を得ることができる。

【0023】図4は本発明の第3の実施例を示す周期検出回路のブロック図である。同図において、1、2、4、5、6、7及び8は図3の構成と同様なものである。9は加算平均部5の出力するトラック平均周期を時間軸平均するフィルタである。

【0024】第2の実施例と異なる点は、記憶部8がレジスタあるいはRAM構成であり、加算平均部5の出力するトラック平均周期をフィルタ9で時間軸平均し、記憶部8に格納する点である。これにより、周期の変動が大きい場合、比較基準が周期変動に対し適応的に変化する。

【0025】以上のように本実施例によれば、周期変動が大きい場合でも常に安定したトラック平均周期を得ることができる。

【0026】図5は本発明の第4の実施例を示す周期検出回路のブロック図である。同図において、1、2、4、5及び6は図1の構成と同様なものである。10は各トラックのエラーを検出するエラー検出手段である。エラー検出手段10は、本発明の周期検出回路を含むデータ検出装置の後段に接続される復調回路、あるいは誤り訂正回路と兼用可能である。復調回路、誤り訂正回路については従来の技術において図6を用いて説明済みである。例えば復調回路で兼用する場合は変調規則違反の検出、誤り訂正で兼用する場合はパリティチェックの結果を用いれば良い。

【0027】以上のように構成された本実施例の周期検出回路について、以下その動作について説明する。入力端子1(1)～1(3)に各トラックの再生信号が与えられると、周期検出部2(1)～2(3)は入力信号のエッジと次のエッジとの間隔を計時して、そのトラックの周期を出力する。加算平均部5は周期検出部2(1)～2(3)の出力を加算しトラック平均周期を出力する。

【0028】ここで、例えば入力端子1(3)の再生信号にエラーが発生した場合、エラー検出手段10は入力端子1(3)の再生信号にエラーが発生したことを検出、リセット部4(3)に伝える。リセット部4(3)はこれを受けて周期検出部2(3)の出力を0に置き換える。よって、加算平均部5は周期検出部2(1)、2(2)の出力の加算平均でトラック平均周期を計算し出力するので、エラーの発生したトラックの周期はトラック平均周期に反映されない。

【0029】以上のように本実施例によれば、あるトラックの再生信号にエラーが発生した場合、そのトラックの検出周期はトラック平均周期に反映されないで、常に正確なトラック平均周期を得ることができる。

【0030】なお、以上の実施例において、リセット部4の代わりに、制御信号に基づき周期検出部2の出力を過去の出力のうち最も新しいものに固定する、すなわち前値ホールドするホールド部を用いても同様の効果が期待できる。

【0031】また、第2の実施例において、入力信号は所定のメディア、例えば磁気テープよりヘッドを用いて再生される場合、磁気テープとヘッドの相対速度を略々検出する速度検出手段を備え、記憶部に記憶される所定値を速度検出手段の出力としても同様の効果が期待できる。ここで、速度検出手段はホール素子や磁気抵抗素子を用いて容易に実現可能である。

【0032】

【発明の効果】本発明は上記した構成により、あるトラックに欠陥が生じても、そのトラックの検出周期はトラック平均周期に反映されないで、欠陥トラックによりトラック平均周期が誤ることなく、常に正確なトラック平均周期を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における周期検出回路の構成を示すブロック図

【図2】同第1の実施例における周期検出回路の動作を示すタイミングチャート

【図3】本発明の第2の実施例における周期検出回路の構成を示すブロック図

【図4】本発明の第3の実施例における周期検出回路の構成を示すブロック図

【図5】本発明の第4の実施例における周期検出回路の構成を示すブロック図

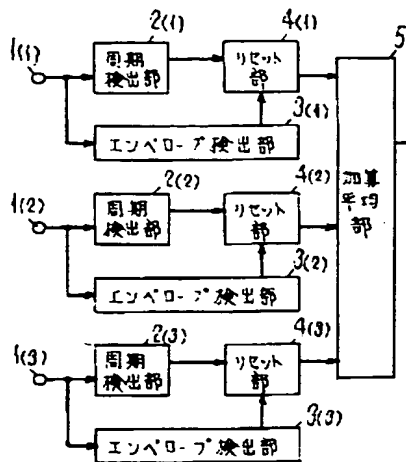
【図6】DCCの再生系の構成を示すブロック図

【図7】従来の周期検出回路の構成を示すブロック図

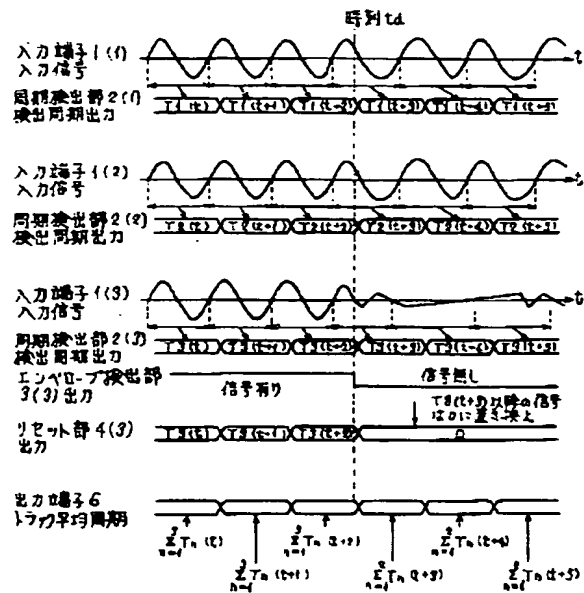
【符号の説明】

- 2 周期検出部
- 3 エンベロープ検出部
- 4 リセット部
- 5 加算平均部
- 7 比較部
- 8 記憶部
- 9 フィルタ
- 10 エラー検出手段

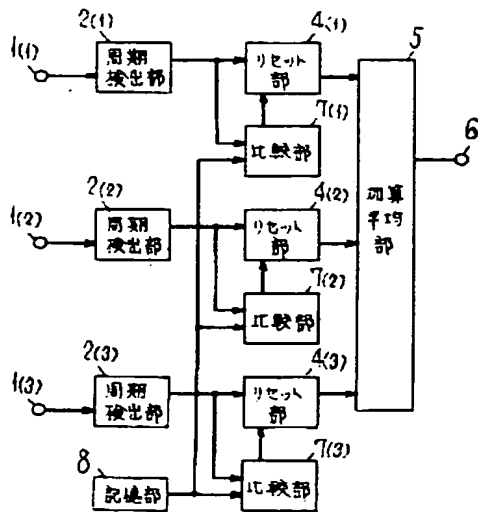
【図1】



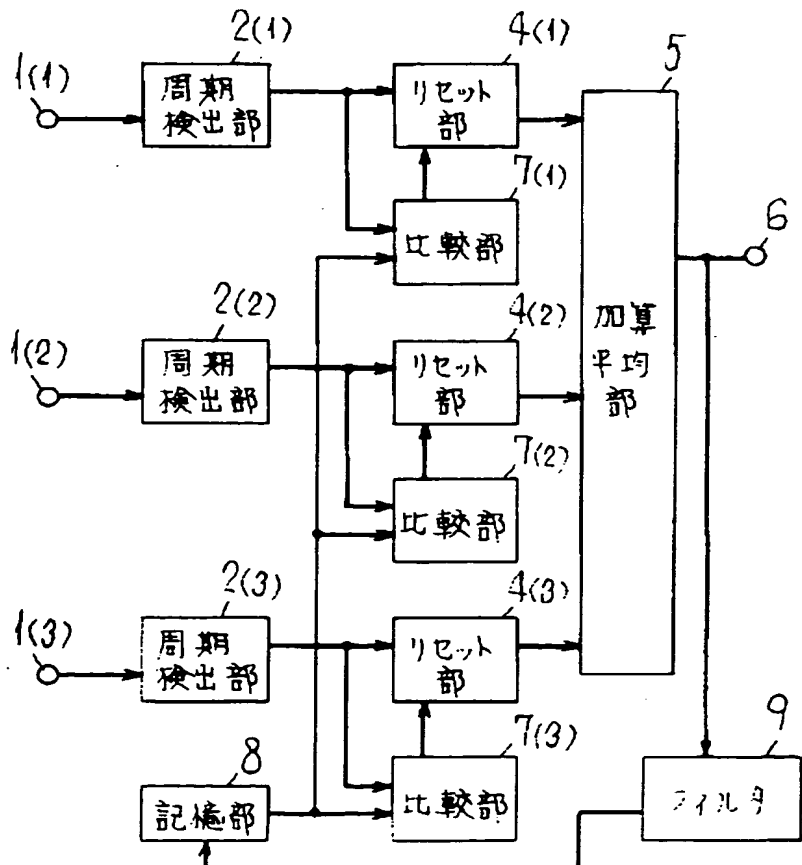
【図2】



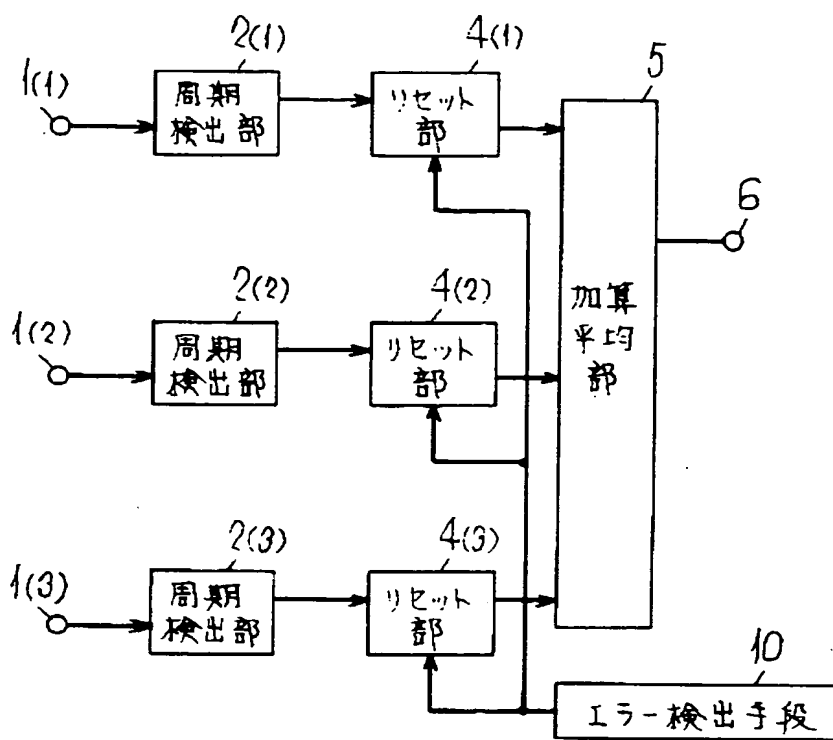
【図3】



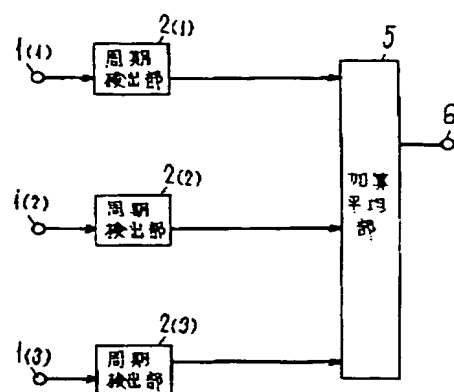
【図4】



【図5】



【図7】



【図6】

